

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-111223

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H05K 3/46

(21)Application number : 11-287694

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 08.10.1999

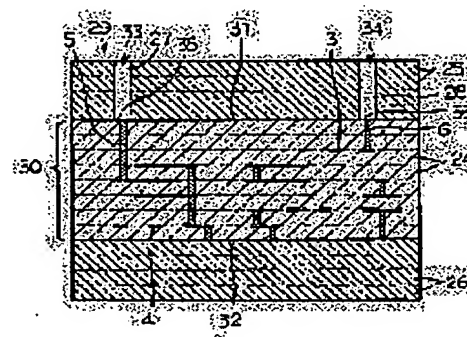
(72)Inventor : SAKAMOTO SADAOKI
SUNAHARA HIROBUMI
TAKAGI HIROSHI

(54) MULTILAYER CERAMIC BOARD AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently form protrusions functioning as, e.g. bump electrodes on one main plane of a multilayer ceramic board manufactured by via the baking step of a non-shrinkage process.

SOLUTION: A composite laminate 29 has shrink suppressing green sheets 25, 26 laminated on main planes 31, 32 of a board forming laminate 30 composed of board forming green sheets 24, and cavities 33, 34 having opening ends 35, 36 closed with the main plane 31. The cavities 33, 34 are formed by holes 27, 28 of the shrinkage-suppressing green sheet 25. The composite laminate 29 is baked to result in the shrink suppressing green sheets 25, 26 being not sintered exert restricting forces on the board forming laminate 30 to raise a part of this laminate 30 along the inner surface of the cavities 33, 34, thereby forming protrusions and first ends of the via conductors 5, 6 located on the tops of the protrusions so as to give bump electrodes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-111223

(P2001-111223A)

(43)公開日 平成13年4月20日(2001.4.20)

(51)Int.Cl.⁷

H 0 5 K 3/46

識別記号

F I

H 0 5 K 3/46

特開2001-111223A(参考)

H 5 E 3 4 6

N

T

審査請求 未請求 請求項の数15 O L (全 10 頁)

(21)出願番号 特願平11-287694

(22)出願日 平成11年10月8日(1999.10.8)

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 坂本 禎章

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72)発明者 砂原 博文

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74)代理人 100085143

弁理士 小柴 雅昭 (外1名)

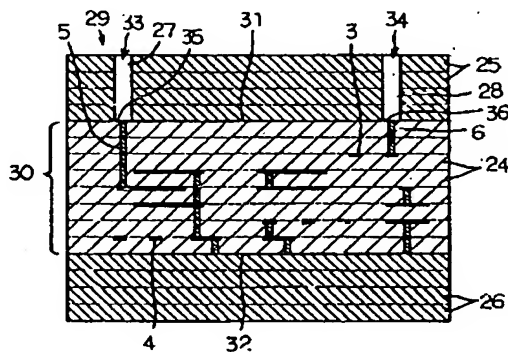
最終頁に続く

(54)【発明の名称】 多層セラミック基板およびその製造方法

(57)【要約】

【課題】 多層セラミック基板を無収縮プロセスによる焼成工程を経て製造するとき、たとえばパンプ電極として機能する突起を多層セラミック基板の一方主面上に能率的に形成できるようにする。

【解決手段】 基板用グリーンシート24からなる生の基板用積層体30の主面31、32上に収縮抑制用グリーンシート25、26を積層し、主面31によって閉じられる開口端35、36を有するキャビティ33、34を、収縮抑制用グリーンシート25に設けられた穴27、28によって形成している、複合積層体29を焼成する。このとき、収縮抑制用グリーンシート25、26が未焼結の状態で基板用積層体30に拘束力を及ぼすため、基板用積層体30の一部がキャビティ33、34の内面に沿って盛り上がり、突起を形成する。突起の頂部には、パンプ電極を与えるように、ビアホール導体5、6の一方端が位置する。



【特許請求の範囲】

【請求項1】 セラミック材料からなる積層された複数のセラミック層および配線導体を備える、多層セラミック基板を製造する方法であって、
前記セラミック材料を含む複数の基板用グリーンシートを用意する工程と、
前記基板用グリーンシートの焼成温度では焼結しないセラミックを含む複数の収縮抑制用グリーンシートを用意する工程と、
前記基板用グリーンシートの特定のものに前記配線導体を形成する工程と、
前記収縮抑制用グリーンシートの特定のものに穴を設ける工程と、
複数の前記基板用グリーンシートを積層してなるもので、前記配線導体を形成している、多層セラミック基板となるべき生の基板用積層体、および前記生の基板用積層体の各主面上にそれぞれ積層される前記収縮抑制用グリーンシートを備え、かつ、前記生の基板用積層体の少なくとも一方の前記主面によって閉じられる開口端を有するキャビティが、前記収縮抑制用グリーンシートに設けられた前記穴によって形成されている、そのような複合積層体を作製する工程と、
多層セラミック基板を得るために前記基板用積層体を焼結させるが、前記収縮抑制用グリーンシートを未焼結の状態に収縮抑制用支持体として存在させるとともに、前記収縮抑制用支持体による拘束力を前記基板用積層体に作用させて、前記基板用積層体の平面方向での収縮を抑制しながら、前記基板用積層体を厚み方向にのみ実質的に収縮させることによって、前記基板用積層体の一部を前記キャビティの内面に沿って盛り上がらせるように、前記複合積層体を焼成する工程と、
前記収縮抑制用支持体を除去する工程とを備える、多層セラミック基板の製造方法。

【請求項2】 前記キャビティは、有底の凹部を形成する、請求項1に記載の多層セラミック基板の製造方法。

【請求項3】 前記キャビティは、貫通孔を形成する、請求項1に記載の多層セラミック基板の製造方法。

【請求項4】 前記配線導体は、ビアホール導体を備え、前記生の基板用積層体の前記主面の、前記キャビティの開口端を閉じている部分には、前記ビアホール導体の一方端が位置されている、請求項1ないし3のいずれかに記載の多層セラミック基板の製造方法。

【請求項5】 前記キャビティの開口端は、スポット形状をなす、請求項1ないし4のいずれかに記載の多層セラミック基板の製造方法。

【請求項6】 前記キャビティの開口端は、長手形状をなす、請求項1ないし4のいずれかに記載の多層セラミック基板の製造方法。

【請求項7】 前記配線導体は、Ag、Ag-Pt合金、Ag-Pd合金、Cu、Ni、Pt、Pd、W、M

oおよびAuからなる群から選ばれた少なくとも1種を主成分とする、請求項1ないし6のいずれかに記載の多層セラミック基板の製造方法。

【請求項8】 前記複合積層体を焼成する工程は、1000℃以下の温度で実施される、請求項1ないし7のいずれかに記載の多層セラミック基板の製造方法。

【請求項9】 前記収縮抑制用グリーンシートは、アルミナ、ジルコニアおよびマグネシアから選ばれた少なくとも1種を含む、請求項8に記載の多層セラミック基板の製造方法。

【請求項10】 前記複合積層体を焼成する工程において、積層方向に10kg/cm²以下の荷重を加える、請求項1ないし9のいずれかに記載の多層セラミック基板の製造方法。

【請求項11】 請求項1ないし10のいずれかに記載の製造方法によって製造された多層セラミック基板。

【請求項12】 セラミック材料からなる積層された複数のセラミック層および配線導体を備え、前記配線導体は、ビアホール導体を備え、一方の主面上には、前記セラミック材料からなる突起が形成され、前記突起の頂部には、前記ビアホール導体の一方端が位置されている、多層セラミック基板。

【請求項13】 セラミック材料からなる積層された複数のセラミック層および配線導体を備え、一方の主面上には、接続用電極および前記セラミック材料からなる突起が形成され、前記主面側には、前記接続用電極に半田付けされかつ前記突起によって前記主面との間隔が規定された状態で電子部品が実装されている、多層セラミック基板。

【請求項14】 セラミック材料からなる積層された複数のセラミック層および配線導体を備え、一方の主面上には、前記セラミック材料からなる2条のリブ状の突起が互いに間隔を置いて形成され、前記主面側には、前記2条のリブ状の突起の間に下端縁を位置させかつ樹脂によって固着された状態でキャップが配置されている、多層セラミック基板。

【請求項15】 セラミック材料からなる積層された複数のセラミック層および配線導体を備え、一方の主面上には、前記セラミック材料からなる囲まれた壁状の突起が形成され、前記主面側には、前記壁状の突起によって囲まれた空間を閉じる蓋が配置されている、多層セラミック基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、多層セラミック基板を得るための焼成工程において、平面方向の収縮を実質的に生じさせないようにすることができる、多層セラミック基板の製造方法に関するもので、特に、焼成工程において、得られた多層セラミック基板の主面上にパンプ電極やスペーサ等として機能させることができる突

起を形成するように改良された、多層セラミック基板の製造方法およびこの方法によって製造された多層セラミック基板に関するものである。

【0002】

【従来の技術】多層セラミック基板をより多機能化、高密度化、高性能化するためには、このような多層セラミック基板において、高密度に配線を施すことが有効である。

【0003】しかしながら、多層セラミック基板を得るための焼成工程では、多層セラミック基板の収縮を伴い、また、このような収縮のばらつきも避け難く、そのため、収縮、特に平面方向での収縮およびそのばらつきは、多層セラミック基板における配線の高密度化を阻害する要因となっている。

【0004】このような背景の下、多層セラミック基板を得るための焼成工程において、平面方向での収縮を抑制できる、いわゆる無収縮プロセスが提案されている。

【0005】無収縮プロセスでは、セラミック材料を含む複数の基板用グリーンシートが用意されるとともに、基板用グリーンシートの焼成温度では焼結しないセラミックを含む収縮抑制用グリーンシートが用意され、複数の基板用グリーンシートを積層してなる生の基板用積層体をたとえば挟むように、収縮抑制用グリーンシートが配置された、複合積層体が作製され、この複合積層体に対して焼成工程が適用される。

【0006】この焼成工程においては、基板用積層体を多層セラミック基板とするように、基板用積層体のみが焼結され、収縮抑制用グリーンシートは未焼結の状態で収縮抑制用支持体として存在し、これによる収縮を抑制する力、すなわち拘束力を基板用積層体に作用させることによって、基板用積層体の平面方向での収縮が抑制される。なお、基板用積層体は、この焼成工程において、厚み方向には収縮する。

【0007】このように、無収縮プロセスによれば、基板用積層体の平面方向での収縮が生じにくいので、得られた多層セラミック基板の平面方向での寸法精度を高めることができ、したがって、多層セラミック基板における配線を有利に高密度化することが可能になる。

【0008】

【発明が解決しようとする課題】ところで、上述したような多層セラミック基板は、たとえばICを搭載したパッケージやモジュール基板として用いられるが、近年では、ICを複数個搭載したマルチチップモジュール(MCM)基板にも応用されるようになってきている。

【0009】このような用途に向けられる多層セラミック基板にあっては、配線の高密度化に伴い、マザーボードに搭載して電気的接続を達成するための入出力端子の数も飛躍的に増加しており、そのため、入出力端子において採用される接続形態として、基板表面に2次元的に配列した入出力パッドを半田ボールで接続するボールグ

リッドアレイ(BGA)タイプが主流となってきている。

【0010】このようなBGAタイプの多層セラミック基板にあっては、入出力端子の接続を主に半田バンプによって行なっており、一般的には、入出力端子用の導体が充填されたビアホールからオフセットしたランド上にバンプを形成している。

【0011】しかし、実装密度が高くなるに従って、上述したオフセットはもちろん、ビアホール上でのランド形成さえも困難になってくる。また、半田バンプにおいては比較的多量の半田が用いられるため、たとえば、ビアホール導体に対して、直接、バンプ接続すると、これらビアホール導体と半田バンプと基板との各界面部にストレスが集中しやすくなり、半田または基板に亀裂等の欠陥が生じやすい。

【0012】一方、ランド上にバンプを形成せずに、直接、薄い半田膜を介して接続する方法もある。

【0013】しかし、ビアホールに充填された導体の表面と基板の表面とは、同一平面上にないことが多く、たとえば、ビアホール導体の表面が基板の表面より低い位置にあると、接続においてオープン不良が生じやすい。また、基板の反りやうねりについても、これが生じないように高精度に管理する必要がある。基板の平面性を良好にするには、研削、研磨等の後加工を施すことが有効であるが、基板表面全体を加工する必要があり、そのためコストが高いため、あまり実用的であるとは言えない。

【0014】そこで、この発明の目的は、上述した問題の解決に有効な多層セラミック基板の製造方法およびこの製造方法によって得られる多層セラミック基板を提供しようとするところである。

【0015】

【課題を解決するための手段】この発明は、まず、セラミック材料からなる積層された複数のセラミック層および配線導体を備える、多層セラミック基板を製造する方法に向けられる。この製造方法では、次のような工程が実施される。

【0016】セラミック材料を含む複数の基板用グリーンシートが用意されるとともに、基板用グリーンシートの焼成温度では焼結しないセラミックを含む複数の収縮抑制用グリーンシートが用意される。

【0017】基板用グリーンシートの特定のものには、配線導体が形成され、また、収縮抑制用グリーンシートの特定のものには、穴が設けられる。

【0018】次いで、複数の基板用グリーンシートを積層してなるもので、配線導体を形成している、多層セラミック基板となるべき生の基板用積層体、およびこの生の基板用積層体の各主面上にそれぞれ積層される収縮抑制用グリーンシートを備える、複合積層体が作製される。この複合積層体においては、生の基板用積層体の少

なくとも一方の主面によって閉じられる開口端を有するキャビティが、収縮抑制用グリーンシートに設けられた穴によって形成されている。

【0019】次に、上述の複合積層体が焼成される。この焼成工程では、多層セラミック基板を得るために基板用積層体を焼結させるが、収縮抑制用グリーンシートを未焼結の状態で収縮抑制用支持体として存在させるとともに、収縮抑制用支持体による拘束力を基板用積層体に作用させて、基板用積層体の平面方向での収縮を抑制しながら、基板用積層体を厚み方向にのみ実質的に収縮させることによって、基板用積層体の一部を前述したキャビティの内面に沿って盛り上げられるようにされる。

【0020】次いで、上述した収縮抑制用支持体が除去される。

【0021】この発明に係る多層セラミック基板の製造方法において、前述のキャビティは、有底の凹部を形成するものであっても、貫通孔を形成するものであってもよい。

【0022】また、この発明に係る多層セラミック基板の製造方法において、配線導体が、ビアホール導体を備えているとき、生の基板用積層体の主面の、キャビティの開口端を閉じている部分には、このビアホール導体の一方端が位置されていてもよい。

【0023】また、この発明に係る多層セラミック基板の製造方法において、キャビティの開口端は、スポット形状をなしていても、長手形状をなしていてもよい。

【0024】また、この発明に係る多層セラミック基板の製造方法において、配線導体は、Ag、Ag-Pt合金、Ag-Pd合金、Cu、Ni、Pt、Pd、W、MoおよびAuからなる群から選ばれた少なくとも1種を主成分とすることが好ましい。

【0025】また、この発明に係る多層セラミック基板の製造方法において、複合積層体を焼成する工程は、1000℃以下の温度で実施されることが好ましい。

【0026】上述の場合、収縮抑制用グリーンシートが、アルミナ、ジルコニアおよびマグネシアから選ばれた少なくとも1種を含むことが好ましい。

【0027】また、この発明に係る多層セラミック基板の製造方法において、複合積層体を焼成するとき、積層方向に10kg/cm²以下の荷重を加えることが好ましい。

【0028】この発明は、また、上述したような製造方法によって製造された多層セラミック基板にも向けられる。この多層セラミック基板の具体的態様としては、たとえば、次のようなものがある。

【0029】第1の態様では、多層セラミック基板は、セラミック基板からなる積層された複数のセラミック層および配線導体を備え、配線導体は、ビアホール導体を備え、一方の主面上には、セラミック材料からなる突起が形成され、この突起の頂部には、ビアホール導体の一

方端が位置されている。

【0030】第2の態様では、多層セラミック基板は、セラミック材料からなる積層された複数のセラミック層および配線導体を備え、一方の主面上には、接続用電極およびセラミック材料からなる突起が形成され、この主面側には、接続用電極に半田付けされかつ突起によって主面との間隔が規定された状態で電子部品が実装されている。

【0031】第3の態様では、多層セラミック基板は、セラミック材料からなる積層された複数のセラミック層および配線導体を備え、一方の主面上には、セラミック材料からなる2条のリブ状の突起が互いに間隔を置いて形成され、この主面側には、2条のリブ状の突起の間に下端縁を位置させかつ樹脂によって固着された状態でキャップが配置されている。

【0032】第4の態様では、多層セラミック基板は、セラミック材料からなる積層された複数のセラミック層および配線導体を備え、一方の主面上には、セラミック材料からなる囲まれた壁状の突起が形成され、この主面側には、壁状の突起によって囲まれた空間を閉じる蓋が配置されている。

【0033】

【発明の実施の形態】図1ないし図5は、この発明の一実施形態を説明するための図である。ここで、図4には、この実施形態に係る多層セラミック基板1が断面図で示され、図1ないし図3には、この多層セラミック基板1を製造するために実施される工程が順次示され、図5には、多層セラミック基板1の用途の一例が示されている。

【0034】まず、図4を参照して、多層セラミック基板1の構造について説明する。

【0035】多層セラミック基板1は、セラミック材料からなる積層された複数のセラミック層2および種々の配線導体を備えている。配線導体としては、セラミック層2間の特定の界面に沿って形成される内部導体3、4、…、ならびに、特定のセラミック層2の厚み方向に貫通して延びるビアホール導体5、6、…を備えている。また、多層セラミック基板1の一方の主面7上には、接続用電極8、9、10、11、12、13、…が形成されている。

【0036】また、多層セラミック基板1の他方の主面14上には、セラミック層2を構成するセラミック材料からなる突起15、16、…がセラミック層2と一体的に形成されている。図示した突起15および16の各々の頂部には、ビアホール導体5および6の各々の一方端が位置されている。

【0037】上述したように、ビアホール導体5および6をそれぞれ露出させている突起15および16は、パンプ電極として機能させることができる。

【0038】図5には、多層セラミック基板1が、図4

に示した姿勢と上下逆の姿勢で示されている。図5に示すように、多層セラミック基板1の主面7上には、接続用電極8および9に接続されるようにICチップ17が実装され、接続用電極10および11に接続されるようにチップコンデンサ18が実装され、また、接続用電極12および13に接続されるように厚膜抵抗体19が形成される。

【0039】このようにして、多層セラミック基板1は、機能モジュールを構成し、たとえばプリント回路基板で構成されるマザーボード20上に搭載される。

【0040】マザーボード20の一方主面21上には、多層セラミック基板1の突起15および16の各位置に対応して、導電ランド22および23が形成されている。図5に示すように、突起15および16が導電ランド22および23とそれぞれ位置合わせされた状態で、ビアホール導体5および6と導電ランド22および23とをそれぞれ互いに電気的に接続するように半田(図示を省略)が付与される。これによって、多層セラミック基板1のマザーボード20上への搭載が完了する。

【0041】このような多層セラミック基板1の製造方法について、図1ないし図3を順次参照して説明する。

【0042】まず、図1を参照して、セラミック層2となるべきセラミック材料を含む複数の基板用グリーンシート24が用意される。基板用グリーンシート24は、たとえば、有機ビヒクル中にアルミナ粉末およびホウ珪酸ガラスからなる混合粉末を分散させてスラリーを調製し、これをキャスト法によってシート状に成形することにより作製することができる。

【0043】基板用グリーンシート24は、1000℃以下の温度で焼結可能であることが好ましく、そのため、絶縁材料、磁性材料または誘電体材料としてのセラミック成分に、800℃以下の軟化点を有するガラスを含有することが好ましい。この場合、ガラス成分/セラミック成分の重量比は、100/0ないし5/95の範囲内に選ばれることが好ましい。

【0044】また、基板用グリーンシート24に含まれるセラミック材料は、900℃以下の温度で液相を生じる液相形成物を含有することが好ましい。この場合、液相形成物の含有量は、セラミック材料全体に対して5～100重量%の範囲内に選ばれることが好ましい。

【0045】基板用グリーンシート24の特定のものには、前述した配線導体としての内部導体3、4、…およびビアホール導体5、6、…が形成される。これら配線導体は、Ag、Ag-Pt合金、Ag-Pd合金、Cu、Ni、Pt、Pd、W、MoおよびAuからなる群から少なくとも1種を主成分とするもので、たとえば、このような金属を導電成分として含む導電性ペーストを付与することによって形成されることができる。なお、上述した金属のうち、特に、Ag、Ag-Pt合金、Ag-Pd合金およびCuは、比抵抗が小さいことから、

配線導体においてより好適に用いられることができる。

【0046】また、上述した基板用グリーンシート24の焼成温度では焼結しないセラミックを含む複数の収縮抑制用グリーンシート25および26が用意される。これら収縮抑制用グリーンシート25および26は、たとえば、有機ビヒクル中にアルミナ粉末を分散させてスラリーを調製し、これをキャスト法によってシート状に成形することによって得ることができる。このようにして得られた収縮抑制用グリーンシート25および26の焼結温度は、1500～1600℃である。

【0047】上述したアルミナ粉末に代えて、あるいは、これに加えて、ジルコニアまたはマグネシア等のセラミック粉末を用いることもできる。また、収縮抑制用グリーンシート25および26には、前述した基板用グリーンシート24に含まれるセラミック成分と共通のものを含むことが好ましい。

【0048】収縮抑制用グリーンシート25および26の特定のもの、すなわち収縮抑制用グリーンシート25には、穴27、28、…が設けられる。これら穴27および28は、基板用グリーンシート24に形成されたビアホール導体5および6の各位置に対応する位置にそれぞれ設けられる。

【0049】次に、基板用グリーンシート24ならびに収縮抑制用グリーンシート25および26が、図1に示すような順序で積み重ねられ、図2に示すような複合積層体29が作製される。

【0050】より詳細には、複合積層体29は、複数の基板用グリーンシート24を積層してなる生の基板用積層体30を備えている。基板用積層体30は、図4に示した多層セラミック基板1となるべきもので、配線導体としての内部導体3、4、…ならびにビアホール導体5、6、…を形成している。

【0051】上述の生の基板用積層体30の一方の主面31上には、穴27および28が設けられた複数の収縮抑制用グリーンシート25が積層され、他方の主面32上には、穴が設けられていない複数の収縮抑制用グリーンシート26が積層されている。

【0052】基板用積層体30の主面31側に注目すると、収縮用グリーンシート25に設けられた穴27および28は、それぞれ、一連のキャビティ33および34を形成している。これらキャビティ33および34の各々の開口端35および36は、基板用積層体30の主面31によって閉じられている。そして、基板用積層体30の主面31の、キャビティ33および34の開口端35および36を閉じている部分には、ビアホール導体5および6の各一方端がそれぞれ位置されている。

【0053】図2に示した複合積層体29は、次いで、その積層方向にプレスされる。このプレスには、たとえば、200～1000kg/cm²の水圧プレスが適用される。なお、図2には図示しないが、このプレスの結

果、キャビティ33および34の開口端35および36を閉じている部分において、基板用積層体30の一部が多少盛り上がることもある。

【0054】次いで、複合積層体29は、たとえば1000℃以下の温度で焼成される。この焼成工程において、積層方向に10kg/cm²以下の荷重を加えることが好ましい。

【0055】上述の焼成の結果、図3に示すように、基板用積層体30が焼結されて、多層セラミック基板1が得られる。また、収縮抑制用グリーンシート25および26は、未焼結の状態収縮抑制用支持体37および38として存在している。より具体的には、収縮抑制用支持体37および38は、収縮抑制用グリーンシート25および26に含まれていた有機バインダが飛散し、アルミナ多孔質状態となっている。

【0056】上述したような焼成工程において、収縮抑制用支持体37および38は、未焼結の状態を維持しているので、それによる拘束力を、焼結されようとする基板用積層体30に及ぼし、基板用積層体30の平面方向での収縮を抑制しながら、基板用積層体30を厚み方向にのみ実質的に収縮させるように作用する。その結果、キャビティ33および34の開口端35および36を閉じている部分において、基板用積層体30の一部は、キャビティ33および34の各内面に沿って盛り上がり、焼結された多層セラミック基板1において、突起15および16を形成する。

【0057】なお、特定の实施例において、焼結後の多層セラミック基板1の厚みは、焼結前の基板用積層体30の厚みの約0.6倍となることが確認されている。また、複数の収縮抑制用グリーンシート25の合計厚みおよび複数の収縮抑制用グリーンシート26の合計厚みを0.8〜1.0mm程度とし、生の基板用積層体30の厚みを1.2mm程度としながら、穴27および28の各々の断面形状を円形とし、その直径を2mmとした場合、形成される突起15および16は、高さ数100μmで直径2mm程度となることが確認されている。

【0058】突起15および16の高さは、基板用積層体30の構成材料および厚み、プレス時に付与される圧力、焼成条件、穴27および28の寸法等によって変動するものであるが、これらのパラメータを調節することによって、突起15および16の寸法を種々に変更することができる。

【0059】次に、収縮抑制用支持体37および38が除去されることによって、図4に示すように、多層セラミック基板1が取り出される。この除去には、湿式ホーニング法、サンドブラスト法、超音波振動法等が適用され、収縮抑制用支持体37および38をたとえば剥離しながら除去するようにされる。

【0060】その後、前述した接続用電極8〜13が、多層セラミック基板1の主面7上に形成され、ICチップ

17、チップコンデンサ18および厚膜抵抗体19等が実装されることによって、機能モジュールとしての多層セラミック基板1が完成される。

【0061】このようにして得られた多層セラミック基板1によれば、突起15および16が、その各頂部にビアホール導体5および6の各一方端を位置させていてバンプ電極を与えているので、これら突起15および16の各々の高ささえ揃っていれば、主面14に多少の凹凸があっても、図5に示すように、マザーボード20上に問題なく搭載することができる。

【0062】なお、突起15および16の各高さが揃っていない場合には、たとえば研磨することによって、これら高さを揃えることができ、多層セラミック基板1の主面14の凹凸をなくすための加工を施す場合に比べて、突起15および16の各高さを揃えるための加工は比較にならないほど容易である。

【0063】ビアホール導体5および6は、セラミックで構成される突起15および16によって補強された状態となっているのでバンプ電極の機械的強度が高く、また、そのため、多層セラミック基板1の取扱性を良好なものとすることができる。

【0064】図6および図7は、この発明の他の実施形態を説明するための図2および図3にそれぞれ相当する図である。図6および図7において、図2および図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0065】図2および図3を参照して説明した実施形態では、キャビティ33および34が貫通孔を形成していたが、この実施形態では、キャビティ33aおよび34aが有底の凹部を形成していることを特徴としている。

【0066】そのため、図6に示すように、基板用積層体30の主面31側においては、穴27および28が設けられた収縮抑制用グリーンシート25が主面31に接するように積層されるが、その上には、穴が設けられていない収縮抑制用グリーンシート26が積層される。

【0067】したがって、図7に示すように、複合積層体29aの焼成工程を終えたとき、突起15aおよび16aは、キャビティ33aおよび34aの内周面だけでなく、上端面にも規制されて形成されることができる。このことから、突起15aおよび16aの高さを、より厳密に設定することが可能になる。

【0068】図8は、この発明に従って製造される他の実施形態による多層セラミック基板39を概略的に示す断面図である。この多層セラミック基板39は、図示を省略するが、セラミック材料からなる積層された複数のセラミック層および配線導体を備えている。

【0069】このような多層セラミック基板39の一方の主面40上には、接続用電極41および42ならびに突起43および44が形成されている。これら突起43

および44は、前述した突起15および16と同様の方法によって形成されたものである。

【0070】また、多層セラミック基板39の主面40側には、接続用電極41および42に半田付けされかつ突起43および44によって主面40との間隔が規定された状態でICチップのような電子部品45が実装されている。

【0071】また、多層セラミック基板39は、その他方の主面47上に、半田バンプによる複数の端子電極48を形成している。

【0072】前述したように、電子部品45を多層セラミック基板39上に実装する場合、電子部品45側に半田46を形成し、これを接続用電極41および42と接触させた状態で、リフローが適用される。このとき、一般に、半田46は比較的柔らかいので、つぶれ等の変形が生じ、接続不良を発生しやすく、そのため、半田46の量や実装の際に電子部品45に加える力の微妙なコントロールが必要である。これに対して、この実施形態によれば、突起43および44がスペーサとして機能するので、このような半田46の量や実装時に加える力の微妙なコントロールが不要となり、したがって、実装のための工程における作業効率を向上させることができる。

【0073】なお、図8に示した突起43および44は、図5に示すように、マザーボード20上に搭載する場合のスペーサとしても適用することができる。

【0074】図9は、この発明に従って製造されるさらに他の実施形態による多層セラミック基板49を概略的に示す断面図である。この多層セラミック基板49においても、図示を省略するが、セラミック材料からなる積層された複数のセラミック層および配線導体を備えている。

【0075】多層セラミック基板49の一方の主面50上には、セラミック材料からなる2条のリブ状の突起51および52が互いに間隔を置いて形成されている。これら突起51および52は、前述した突起15および16と同様の方法によって形成されたものである。

【0076】突起51および52が形成された主面50側には、いくつかの電子部品53が実装され、これら電子部品53を覆うように、キャップ54が配置されている。キャップ54は、その下端縁を2条のリブ状の突起51および52に間に位置させながら、樹脂55によって固着される。このキャップ54は、シールド機能を果たすものである。

【0077】この実施形態において、突起51および52は、ポッティングによって付与される樹脂55の流れ出しを防ぐダムとして機能している。

【0078】なお、このような突起51および52は、半田の流れ出しを防ぐためのダムとしても機能させることができる。

【0079】図10は、この発明に従って製造されるさ

らに他の実施形態による多層セラミック基板56を概略的に示す断面図である。この多層セラミック基板56においても、図示を省略するが、セラミック材料からなる積層された複数のセラミック層および配線導体を備えている。

【0080】多層セラミック基板56の一方の主面57上には、セラミック材料からなる囲まれた壁状の突起58が形成されている。この突起58も、前述した突起15および16と同様の方法によって形成されたものである。

【0081】この突起58が形成された主面57側であって、突起58によって囲まれた領域内には、いくつかの電子部品59が実装されている。そして、壁状の突起58によって囲まれた空間を閉じるように、蓋60が配置されている。この蓋60は、たとえばシールド機能を果たすものであるが、それ以外に、温度補償水晶発振器(TCXO)等のように回路モジュール構成を担うものであってもよい。

【0082】以上、この発明を図示したいくつかの実施形態に関連して説明したが、この発明の範囲内において、その他、種々の変形が可能である。

【0083】たとえば、図4に示した多層セラミック基板1における配線導体の設計は、単なる一例にすぎず、その他、種々の回路設計を多層セラミック基板において採用することができる。また、多層セラミック基板内には、たとえば、コンデンサ、インダクタ、抵抗等の受動部品が内蔵されていてもよい。この場合、特にコンデンサおよびインダクタについては、ブロック状の部品とすることが望ましい。

【0084】また、多層セラミック基板1の図4における下方の主面7上にも、突起15および16と同様の方法によって、突起が形成されてもよい。この突起は、たとえば、図8に示す突起43および44と同様、電子部品を実装する際のスペーサとして用いることができる。

【0085】

【発明の効果】以上のように、この発明に係る多層セラミック基板の製造方法によれば、複数の基板用グリーンシートを積層してなるもので、配線導体を形成している、多層セラミック基板となるべき生の基板用積層体、およびこの生の基板用積層体の各主面上にそれぞれ積層される収縮抑制用グリーンシートを備える、複合積層体を作製した上で、この複合積層体を焼成することによって、収縮抑制用グリーンシートを未焼結の状態で収縮抑制用支持体として存在させながら、基板用積層体を焼結させて多層セラミック基板を得るようにしているので、基板用積層体の平面方向での収縮が抑制され、また、この収縮のばらつきも低減されるので、得られた多層セラミック基板の寸法精度を高くすることができ、配線導体による配線の高密度化を図ることができる。

【0086】また、焼成工程に付される上述の複合積層

体は、生の基板用積層体の少なくとも一方の主面によって閉じられる開口端を有するキャビティが、収縮抑制用グリーンシートに設けられた穴によって形成されている。したがって、焼成工程において、収縮抑制用支持体による拘束力を基板用積層体に作用させて、基板用積層体の平面方向での収縮を抑制しながら、基板用積層体を厚み方向にのみ実質的に収縮させることができるので、基板用積層体の一部をキャビティの内面に沿って盛り上げらせ、それによって、突起を容易に形成することができる。

【0087】この突起の形状は、キャビティの開口端の形状に左右され、たとえば、キャビティの開口端がスポット形状をなしている場合には、スポット状に突出する突起が形成され、キャビティの開口端が長手形状をなしている場合には、長手方向に延びる突起が形成されることができ。

【0088】また、前述した複合積層体において、生の基板用積層体の主面の、キャビティの開口端を閉じている部分に、ビアホール導体の一方端が位置されていると、突起の頂部に、ビアホール導体の一方端を位置させることができ、このような突起をバンパ電極として機能させることができる。この場合、この発明によれば、多数の突起を比較的狭い面積内に形成することができるので、バンパ電極の分布密度を高めることができ、多層セラミック基板の配線の高密度化に対応することができる。また、バンパ電極となる突起の高さを揃えることも容易であり、したがって、これによる電気的接続においてオープン不良を招きにくくすることができる。

【0089】また、この発明によれば、上述したようなバンパ電極として機能する突起の他、多層セラミック基板上に実装される電子部品との間で適正な半田付けを達成するためのスペーサとして機能する突起や、キャップの下端縁を位置決めしかつこれを固着するための樹脂の流れ出しを防止するためのリブ状の突起や、蓋が配置され閉じられた空間を規定するための壁状の突起等を備える、多層セラミック基板を容易に製造することができる。

【0090】また、この発明に係る多層セラミック基板の製造方法に備える複合積層体を焼成する工程において、積層方向に10kg/cm以下の荷重を加えるようにすれば、得られた多層セラミック基板に反りやうねりなどの不所望な変形が生じることを有利に防止できるとともに、突起の形成のための基板用積層体の一部の盛り上がりより確実に生じさせることができる。

【0091】また、盛り上がりをその内部において生じさせるキャビティが有底の凹部を形成していると、突起の高さをより厳密にコントロールすることができる。

【図面の簡単な説明】

【図1】この発明の一実施形態による多層セラミック基

板の製造方法において用意される複数の基板用グリーンシート24ならびに複数の収縮抑制用グリーンシート25および26を、これらの積層順序に従って配列して示す断面図である。

【図2】図1に示した基板用グリーンシート24ならびに収縮抑制用グリーンシート25および26を積層して得られた複合積層体29を示す断面図である。

【図3】図2に示した複合積層体29を焼成した後の状態を示す断面図である。

【図4】図3に示した収縮抑制用支持体37および38を除去して得られた多層セラミック基板1を示す断面図である。

【図5】図4に示した多層セラミック基板1をマザーボード20上に搭載した状態を示す断面図である。

【図6】この発明の他の実施形態を説明するための図2に相当する図であって、複合積層体29aを示す断面図である。

【図7】図6に示した複合積層体29aの焼成後の状態を示す、図3に相当する断面図である。

【図8】この発明に従って製造される他の実施形態による多層セラミック基板39を概略的に示す断面図である。

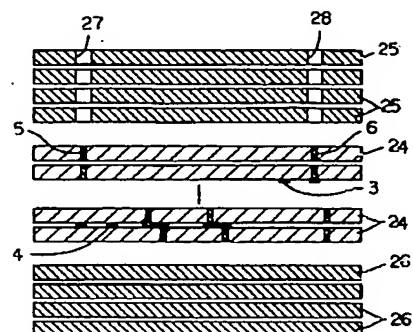
【図9】この発明に従って製造されるさらに他の実施形態による多層セラミック基板49を概略的に示す断面図である。

【図10】この発明に従って製造されるさらに他の実施形態による多層セラミック基板56を概略的に示す断面図である。

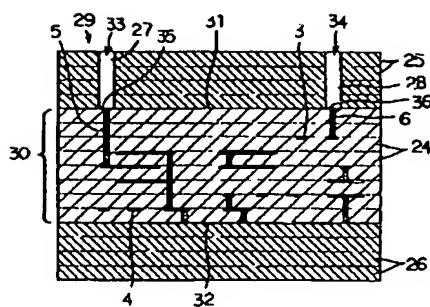
【符号の説明】

- 1, 39, 49, 56 多層セラミック基板
- 2 セラミック層
- 3, 4 内部導体
- 5, 6 ビアホール導体
- 7, 14, 31, 32, 40, 47, 50, 57 主面
- 8~13, 41, 42 接続用電極
- 15, 16, 15a, 16a, 43, 44, 51, 52, 58 突起
- 24 基板用グリーンシート
- 25, 26 収縮抑制用グリーンシート
- 27, 28 穴
- 29, 29a 複合積層体
- 30 基板用積層体
- 33, 34, 33a, 34a キャビティ
- 35, 36 開口端
- 37, 38 収縮抑制用支持体
- 45 電子部品
- 46 半田
- 54 キャップ
- 60 蓋

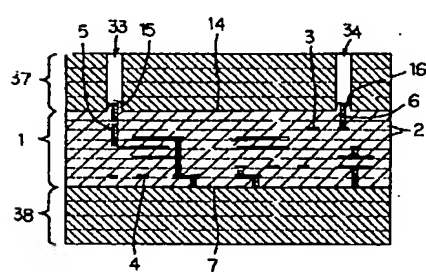
【図1】



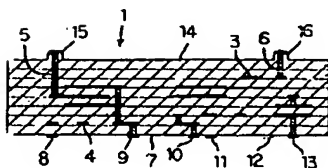
【図2】



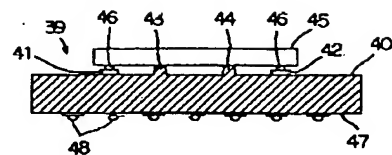
【図3】



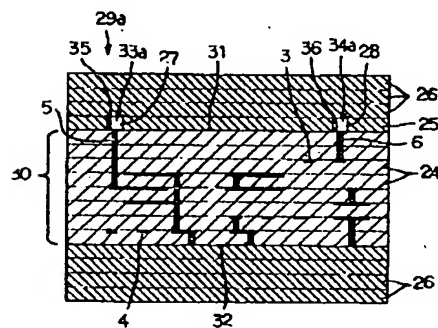
【図4】



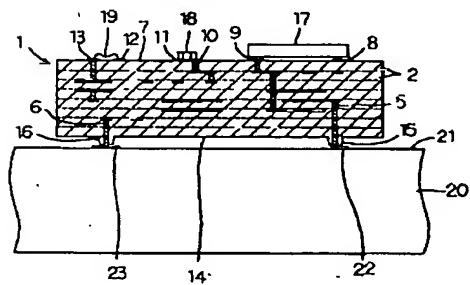
【図8】



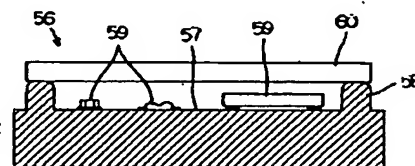
【図6】



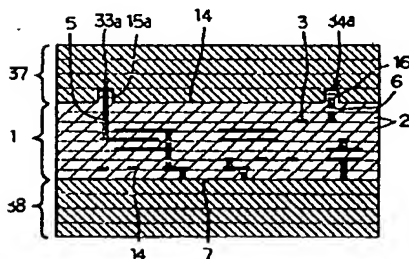
【図5】



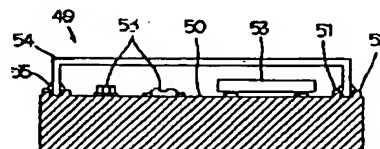
【図10】



【図7】



【図9】



フロントページの続き

(72)発明者 藤木 洋

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

Fターム(参考) 5E346 AA42 AA43 CC16 CC32 CC35

CC36 CC39 EE24 EE25 EE27

EE28 EE29 GG08 GG09 GG15

HH07 HH31